

SYSTEM OF AUTOMATICALLY FORMING INSPECTION INPUT

Patent Number: JP61240173
Publication date: 1986-10-25
Inventor(s): NAKAZAWA MASAHISA
Applicant(s):: TOSHIBA CORP
Requested Patent: ☐ JP61240173
Application Number: JP19850081252 19850418
Priority Number(s):
IPC Classification: G01R31/28
EC Classification:
Equivalents:

Abstract

PURPOSE:To enable the selection of an optimum propagation route, by feeding back a test pattern to a testability analyser and calculating highly accurate testability from the test pattern and circuit connection data.

CONSTITUTION:A random number pattern is generated until a trouble detection ratio is lowered by a random number pattern forming apparatus 2 and a trouble simulator 3 and the like, thereafter, a test pattern is formed by an inspection input automatic forming apparatus 7 with D-algorithm. In this case, the test pattern is also fed back to a testability analyser 5 and testability analysis is performed by the test pattern and circuit connection data and highly accurate testability is determined and an optimum propagation route is selected. Therefore, a detection ratio is enhanced within a short processing time and an effective test pattern is automatically formed.

Data supplied from the **esp@cenet** database - I2

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭61-240173

⑬ Int. Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和61年(1986)10月25日

G 01 R 31/28

6829-2G

審査請求 未請求 発明の数 1 (全3頁)

⑮ 発明の名称 検査入力自動生成システム

⑯ 特 願 昭60-81252

⑰ 出 願 昭60(1985)4月18日

⑱ 発 明 者 中 沢 昌 久 川崎市幸区小向東芝町1 株式会社東芝総合研究所内

⑲ 出 願 人 株 式 会 社 東 芝 川崎市幸区堀川町72番地

⑳ 代 理 人 弁理士 則近 憲佑 外1名

明 細 書

1. 発明の名称

検査入力自動生成システム

2. 特許請求の範囲

(1) 回路接続データを入力し、テストパターンを出力する機能を有し、乱数パターン生成装置と故障シミュレータとテストパリティ解析装置と検査入力生成装置とから構成された検査入力自動生成システム。

(2) テスタパリティ解析装置は、回路接続データと試行的テストパターンを入力し、テストパリティ値を出力することを特徴とする。前記特許請求の範囲第1項記載の検査入力自動生成システム。

(3) 検査入力生成装置はDアルゴリズムにしたがって動作し、回路接続データとテストパリティ値を入力し、テストパターンを出力することを特徴とする前記特許請求の範囲第1項記載の検査入力自動生成システム。

3. 発明の詳細な説明

(発明の技術分野)

この発明は乱数発生法、及びDアルゴリズムを使用した組み合わせ回路のテストパターン自動生成方法及び装置に関する。

(発明の技術的背景とその問題点)

現在、組み合わせ回路のテストパターン自動生成の実用化システムでは複数のアルゴリズムを組合せて総合的性能向上を計っている場合が多い。まず乱数発生法を使い、検出可能な故障の抽出が飽和したらDアルゴリズムが使われるという方法が一般的である。第2図は従来の組み合わせ回路のテストパターン自動生成方法である。まず、乱数パターン生成装置11を使って回路接続データ10の乱数パターンを生成する。次に故障シミュレータ12を使って故障検出率を求め、未検出の故障が存在すれば再び乱数パターン生成装置11で乱数パターンを生成し、検出率が下がるまで繰り返す。検出率が下がればDアルゴリズムによる検査入力自動生成を行う。ここで、内部論理値を伝搬させる経路を自由に選択できるノードでは可観測性の良い経路を選択する。この可観測性はテス

タビリティ解析装置14を使って回路接続データ10から求めたテストタビリティによるものである。可観測性の良い経路を選択すると、任意に経路を選択した時と比較して内部論理値がより速く外部出力まで伝播する。故障シミュレータ17で故障検出率を求め、全故障検出したと判定されるか又はアルゴリズムによる検査入力自動生成が全故障について試みたと判定されれば検査入力自動生成は終了する。

しかし、このような従来の方法では、回路接続データのみによってテストタビリティの計算をしているためテストタビリティの精度が悪く、十分な効果が得られていない。すなわち最適な伝搬経路が選択されないために処理時間が多くなり、検出率も十分に上がらないのである。したがって、有効なパターンを手で追加しているのが現状である。

〔発明の目的〕

この発明は、上述した従来方法の欠点を改良したもので、テストタビリティの精度を上げ、最適な伝搬経路が選択できるDアルゴリズム及び乱数法

を求め、求めた故障検出率が低下するまで乱数パターン生成装置2を使ってテストパターンを生成する。故障検出率が低下すればDアルゴリズムにより検査入力自動生成へ移行するが、まず上記の方法で求めた乱数パターン4と回路接続データ1を使って、テストタビリティ解析装置5でテストタビリティ6を求める。次に、アルゴリズムによる検査入力自動生成装置7でテストパターンを発生させる。ここで内部論理値を伝搬させる経路を自由に選択できるノードでは、可観測性の良い経路を選択する。この可観測性は上記で求めたテストタビリティ6によるものである。そして、求めたテストパターンの故障検出率を故障シミュレータ8によって求め、全故障検出したと判定されるか、又はDアルゴリズムによる検査入力自動生成が全故障について試みたと判定されれば検査入力自動生成は終了するが、上記のように判定されなければ求めたテストパターン9と回路接続データ1によりテストタビリティ解析装置5からより精度の高いテストタビリティ6を求める。このテストタビリ

ティによる検査入力自動生成システムを提供することにある。

〔発明の概要〕

本発明では生成されたテストパターンをテストタビリティ解析装置にフィードバックし、テストパターンと回路接続データの2つを利用してより精度の高いテストタビリティを求める。求めたテストタビリティを、Dアルゴリズムにおける最適な伝搬経路の選択に使い、より質の良いテストパターンを生成し、これを繰り返す。

〔発明の効果〕

本発明によれば、より精度の高いテストタビリティを求めることができ、Dアルゴリズムにおいて最適な伝搬経路が選択される。したがって、処理時間を減少させ、検出率を上げることができる。

〔発明の実施例〕

第1図は本発明の実施例である。まず、乱数パターン生成装置2を使用して回路接続データ1のテストパターンを生成する。生成されたテストパターンで故障シミュレータ3により故障検出率

を求め、求めた故障検出率が低下するまで乱数パターン生成装置2を使ってテストパターンを生成する。ここで検査入力自動生成装置でテストパターンを求め、求めたテストパターン9と回路接続データ1を使ってテストタビリティ6を求めるというフィードバックは原則として1ステップごとに行われるが、処理時間を短縮するために数ステップから数10ステップに1回フィードバックしてもよい。

このように発生させたテストパターンをテストタビリティへフィードバックすることにより、より精度の高いテストタビリティを求めることができ、求めたテストタビリティを使ったDアルゴリズムによる検査入力自動生成では、故障検出率のより高いテストパターンが処理時間の短縮という効果を伴いながら得ることができる。

4. 図面の簡単な説明

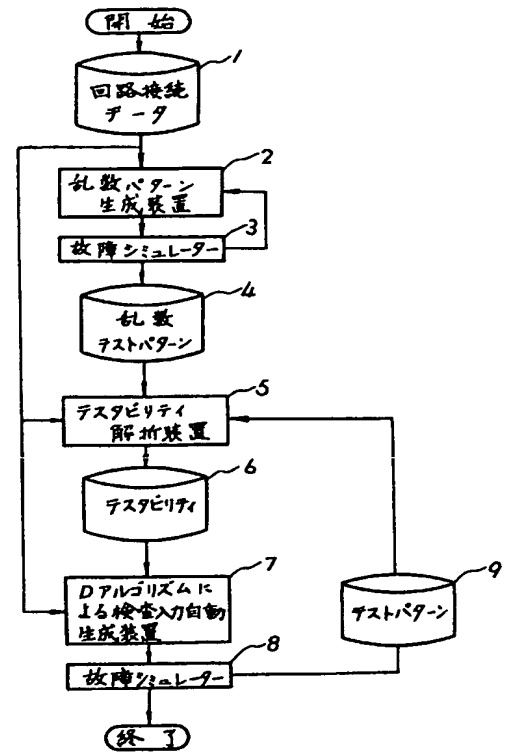
第1図は本発明の特徴を最もよく表わす実施例の図、第2図は従来例の図である。

図において、

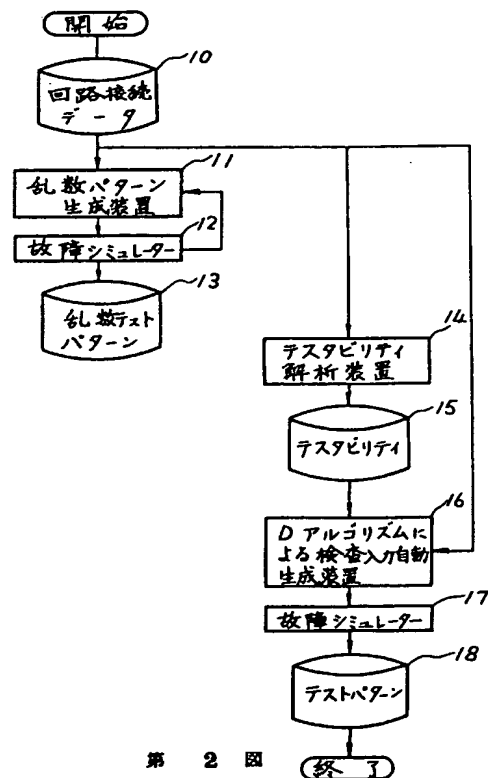
1…組み合わせ回路接続データ、2…乱数パターン生成装置、3…故障シミュレータ、4…乱数

パターン、5…テストパリティ解析装置、6…テストパリティ、7…Dアルゴリズムによる検査入力自動生成装置、8…故障シミュレーター、9…テストパターン。

代理人弁理士 則 近 憲 佑 (ほか1名)



第 1 図



第 2 図